

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-212250

(43)公開日 平成7年(1995)8月11日

(51)Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 13/22		8730-5 J		
H 0 4 B 14/04	F	9372-5 K		
H 0 4 L 1/00	F	9371-5 K		

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21)出願番号 特願平6-1310

(22)出願日 平成6年(1994)1月11日

(71)出願人 000005223  
富士通株式会社  
神奈川県川崎市中原区上小田中1015番地  
(72)発明者 斎藤 安弘  
宮城県仙台市青葉区1番町1丁目2番25号  
富士通東北デジタル・テクノロジー株式  
会社内  
(74)代理人 弁理士 松本 昂

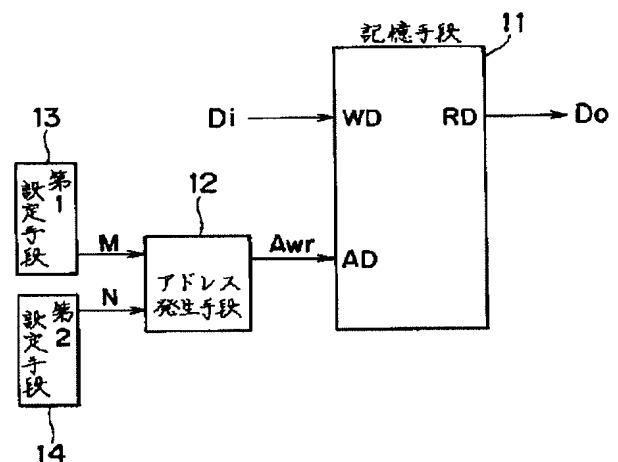
(54)【発明の名称】 インターリーブ回路

(57)【要約】

【目的】本発明は小規模で複数種類のインターリーブを行うことができるインターリーブ回路を提供することを目的とする。

【構成】行数 $m \times$ 列数 $n$ の行列の $m$ に対応する数値である第1設定値 $M$ を設定する第1設定手段13と、 $n$ に対応する数値である第2設定値 $N$ を設定する第2設定手段14と、 $N$ から「1」を減算した数値に対応する回数だけ $M$ を累積加算する演算を、行列の第1列第1行目の初期値と初期値に「1」を累積加算して得られる各数値とに対して順次行い、これを初期値に $m$ から「1」を減算した数値が加算されるまで行って得られる数列を書き込み用のアドレス信号 $Awr$ とし、ある定められた数値が $M$ として設定された際に、初期値と $m \times n$ の演算結果から「1」を減算した数値に対応する回数だけ初期値に「1」を累積加算して順次得られる各数値とによる数列を読み出し用のアドレス信号 $Awr$ とするアドレス発生手段12とを具備して構成する。

本発明の原理図



## 【特許請求の範囲】

【請求項1】 行数 $m \times$ 列数 $n$ で、かつ第1列の第1行目から各列を上から下へ進んで第 $n$ 列の第 $m$ 行目まで「1」ずつ増加する数値が配列された行列における数値を、第1列から第 $n$ 列方向にトレースし、このトレースを第1行目から第 $n$ 行目まで1行ずつずらして行うことにより順次得られる数値をライトアドレス信号として用いて記憶手段(11)にデータ $D_i$ を書き込み、該行列における数値を第1行から第 $n$ 行方向にトレースし、このトレースを第1列目から第 $m$ 列目まで1行ずつずらして行うことにより順次得られる数値をリードアドレス信号として用いて該記憶手段(11)に書き込まれたデータを読み出すといったインターリーブを行うインターリーブ回路において、

前記行数 $m$ に対応する数値である第1設定値( $M$ )を設定する第1設定手段(13)と、

前記列数 $n$ に対応する数値である第2設定値( $N$ )を設定する第2設定手段(14)と、

該第2設定値( $N$ )から「1」を減算した数値に対応する回数だけ該第1設定値( $M$ )を累積加算する演算を、前記第1列の第1行目の初期値と該初期値に「1」を累積加算して得られる各数値とに対して順次行い、これを該初期値に該行数 $m$ から「1」を減算した数値が加算されるまで行って得られる数列を前記ライトアドレス信号に対応するアドレス信号( $Awr$ )として出力し、該第1設定手段(13)である定められた数値が該第1設定値( $M$ )として設定された際に、該初期値と該行数 $m \times$ 該列数 $n$ の演算結果から「1」を減算した数値に対応する回数だけ該初期値に「1」を累積加算して順次得られる各数値とによる数列を前記リードアドレス信号に対応するアドレス信号( $Awr$ )として出力するアドレス発生手段(12)とを具備したことを特徴とするインターリーブ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はインターリーブ回路に関する。このインターリーブ回路は、通信端末装置等に用いられるものであり、ノイズ等の影響によりバースト状に発生するデータのエラーを分散するために、インターリーブ／デインターリーブを行うものである。

【0002】通信端末装置は年々小型・軽量化の傾向にある。特に自動車電話機、携帯電話機等はその傾向が顕著であり、急激な小型化が実施されている。このため通信装置に内蔵されるインターリーブ回路も小規模で実現できる構成が要望されている。

## 【0003】

【従来の技術】図4に従来のインターリーブ回路の構成を示し、その説明を行う。この図に示すインターリーブ回路は、例えば通信端末機に用いられるものであり、通信モードに応じて、 $m_1 \times n_1$ 、 $m_2 \times n_2$ 、 $m_3 \times n_3$ の3種類のインターリーブを行うものである。

【0004】 $m \times n$ のインターリーブ、例えば $3 \times 4$ のインターリーブは、図5に示す3行 $\times$ 4列の行列表の各数値を左から右の横方向にトレースし、このトレースを上から下の行へ1つつずつ移行して順次配列した数列、0, 3, 6, 9, 1, 4, 7, A, 2, 5, 8, B (16進数)をメモリ装置のライトアドレス信号とし、この信号でメモリ装置のアドレスを指定して入力データを書き込み、行列表の各数値を上から下の縦方向にトレースし、このトレースを左から右へ移行して順次配列した数列、0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B (インクリメントデータ)をリードアドレス信号とし、この信号で先にメモリ装置に記憶されたデータを読み出して出力データとするものである。

【0005】図4において、1はデュアルポートRAM(DPRAM)、2, 3, 4は書込アドレス発生回路、5はセクタ、6は読出アドレス発生回路である。書込アドレス発生回路2は、 $m_1 \times n_1$ のインターリーブを行うためのライトアドレス信号 $WS_1$ を発生し、書込アドレス発生回路3は、 $m_2 \times n_2$ のインターリーブを行うためのライトアドレス信号 $WS_2$ を発生し、書込アドレス発生回路4は、 $m_3 \times n_3$ のインターリーブを行うためのライトアドレス信号 $WS_3$ を発生するものである。

【0006】セクタ5は、モード識別信号 $Mode$ に応じてライトアドレス信号 $WS_1$ 、 $WS_2$ 、 $WS_3$ の何れか1つを選択しDPRAM1のライトアドレス信号入力端 $WA$ へ出力するものである。

【0007】読出アドレス発生回路6は、リードアドレス信号 $RA_1$ を出力するものである。但し、リードアドレス信号 $RA_1$ は、0, 1, 2, 3, ..., 9, A, B, ... (16進数)のインクリメントデータである。

【0008】DPRAM1は、一方のポートから入力されるライトアドレス信号 $WS_1$ 、 $WS_2$ 、 $WS_3$ に応じて入力データ $D_i$ を記憶し、この記憶データを他方のポートから入力されるリードアドレス信号 $RA_1$ に応じて出力データ $D_o$ として出力するものである。

【0009】例えば第1モードで $3 \times 4$ のインターリーブを行い、第2モードで $2 \times 6$ 、第3モードで $4 \times 3$ のインターリーブを行うものとし、 $4 \times 3$ のインターリーブを行うためのライトアドレス信号を書込アドレス発生回路2が発生し、 $2 \times 6$ のインターリーブを行うためのライトアドレス信号を書込アドレス発生回路3が発生し、 $4 \times 3$ のインターリーブを行うためのライトアドレス信号を書込アドレス発生回路4が発生するものとする。

【0010】 $3 \times 4$ のインターリーブは、図5に示す行列表から求められる0, 3, 6, 9, 1, 4, 7, A, 2, 5, 8, B (16進数)の数列のライトアドレス信号 $WS_1$ でDPRAM1のアドレスを指定して入力データ $D_i$ を書き込み、この書き込まれたデータを同行列表

から求められるインクリメントデータのリードアドレス信号RA1で読み出して出力データDoとするものである。

【0011】2×6のインターリーブは、図6に示す行列表から求められる0, 2, 4, 6, 8, A, 1, 3, 5, 7, 9, B(16進数)の数列のライトアドレス信号WS2でDPRAM1のアドレスを指定して入力データDiを書き込み、この書き込まれたデータを同行列表から求められるリードアドレス信号RA1で読み出して出力データDoとするものである。

【0012】4×3のインターリーブは、図7に示す行列表から求められる0, 4, 8, 1, 5, 9, 2, 6, A, 3, 7, B(16進数)の数列のライトアドレス信号WS3でDPRAM1のアドレスを指定して入力データDiを書き込み、この書き込まれたデータを同行列表から求められるリードアドレス信号RA1で読み出して出力データDoとするものである。

【0013】即ち、図4に示すインターリーブ回路においては、ライトアドレス信号WS1, WS2, WS3がセクタ5でモード識別信号Modeに応じて選択され、この選択されたライトアドレス信号により、入力データDiがDPRAM1に記憶される。そして、リードアドレス信号RA1により出力データDoとして読みだされる。

【0014】このようにインターリーブを行うことにより、連続して発生するデータのエラーを分散させることができるので、インターリーブ処理後の誤り訂正を正しく行うことができる。エラーが連続していると正しく誤り訂正が行えなくなる。

【0015】

【発明が解決しようとする課題】上述したように従来のインターリーブ回路においては、制御が複雑にならないように、DPRAM1を使用して一方のポートを書き込み専用、他方のポートを読み出し専用にし、書き込み／読み出しの別々のアドレス発生回路により制御し、また複数種類のインターリーブを行う場合には、各インターリーブに対応する専用の書込アドレス発生回路2～4を具備してセクタ5で切り替える構成を取っていた。

【0016】このようなDPRAMを使用する構成にあつては、DPRAMを外付けRAMとして使用した場合には制御信号数が多くなるためにパッケージ(LSI, RAMの両方による)が大きくなってしまふ。また、DPRAMをLSI内蔵とした場合は回路のゲート数が大きくなってしまふ。更に、2ポート分のアドレス発生回路が必要である。更に、複数種類のインターリーブを行う場合、その種類に対応した数のアドレス発生回路が必要である。

【0017】以上のことから従来のインターリーブ回路は、大規模になってしまう問題がある。本発明は、このような点に鑑みてなされたものであり、小規模で複数種

類のインターリーブを行うことができるインターリーブ回路を提供することを目的としている。

【0018】

【課題を解決するための手段】図1に本発明のインターリーブ回路の原理図を示す。インターリーブ回路は、行数m×列数nで、かつ第1列の第1行目から各列を上から下へ進んで第n列の第m行目まで「1」ずつ増加する数値が配列された行列における数値を、第1列から第n列方向にトレースし、このトレースを第1行目から第n行目まで1行ずつずらして行うことにより順次得られる数値をライトアドレス信号として用いて記憶手段(11)にデータDiを書き込み、該行列における数値を第1行から第n行方向にトレースし、このトレースを第1列目から第m列目まで1行ずつずらして行うことにより順次得られる数値をリードアドレス信号として用いて該記憶手段(11)に書き込まれたデータを読み出すといったインターリーブを行うものである。

【0019】本発明の特徴は、前記した行数mに対応する数値である第1設定値Mを設定する第1設定手段13と、前記した列数nに対応する数値である第2設定値Nを設定する第2設定手段14と、第2設定値から「1」を減算した数値に対応する回数だけ第1設定値Mを累積加算する演算を、前記した行列における第1列の第1行目の初期値と初期値に「1」を累積加算して得られる各数値とに対して順次行い、これを初期値に行数mから

「1」を減算した数値が加算されるまで行って得られる数列を前記したライトアドレス信号に対応するアドレス信号Awrとして出力し、第1設定手段13である定められた数値が第1設定値Mとして設定された際に、初期値と行数m×列数nの演算結果から「1」を減算した数値に対応する回数だけ初期値に「1」を累積加算して順次得られる各数値とによる数列を前記したリードアドレス信号に対応するアドレス信号Awrとして出力するアドレス発生手段12とを具備して構成されていることにある。

【0020】

【作用】上述した本発明によれば、アドレス発生手段12からリード／ライト共通のアドレス信号Awrを出力することができるので、記憶手段11をシングルポートRAMとすることができる。また、複数種類のインターリーブを行う場合でも、第1及び第2設定手段で行数m及び列数nに対応する第1及び第2設定値M, Nを設定することにより、1つのアドレス発生手段12で対応できる。

【0021】従来はデュアルポートRAMを使用しなければならず、またライトアドレス信号及びリードアドレス信号を別の発生手段により発生しており、更に、複数種類のインターリーブを行う場合は、その種類数に応じた数のライトアドレス信号発生手段を用いなければならなかった。

【0022】RAM同士を比較すると、シングルポートRAMはデュアルポートRAMの $1/2 \sim 1/3$ の大きさであり、またアドレス発生手段12もインターリーブの種類数が多くなるほどに従来よりも小さくなるので、本発明では回路全体を非常に小型にすることができる。

【0023】また使用変更によりm、nの値が変更になっても容易に対応することができる。

【0024】

【実施例】以下、図面を参照して本発明の一実施例について説明する。図2は本発明の一実施例によるインターリーブ回路の構成を示す回路図である。

【0025】この図において、11はシングルポートRAM（以下RAMという）、12はアドレス発生回路、13はアドレス加算値設定部、14はアドレス加算回数設定部である。

【0026】アドレス発生回路12は、アドレス加算値設定部13で設定される設定加算値M及びアドレス加算回数設定部14で設定される設定加算回数Nに応じて、従来例で説明した $m \times n$ のインターリーブを行うためのライト／リード双方のアドレス信号Aw r 3～Aw r 0を、RAM 11のアドレス信号入力端AD 3～AD 0へ出力するものである。

【0027】但し、設定加算値Mは行数mに対応しており、アドレス加算値設定部13で4ビットの加算値データAd 3～Ad 0として設定される。この設定は各スイッチ16、17、18、19のオン／オフにより行われ、例えば設定加算値Mを「4」に設定する場合は、スイッチ17のみをオンとし、加算値データAd 3～Ad 0が上位ビットから順に「0100」となるようにする。

【0028】設定加算回数Nは列数n-1に対応しており、アドレス加算回数設定部14で4ビットの加算回数データCT 3～CT 0として設定される。この設定は各スイッチ21、22、23、24のオン／オフにより行われ、例えば設定加算回数Nを「2」に設定する場合は、スイッチ23のみをオンとし、加算値データCT 3～CT 0が上位ビットから順に「0010」となるようにする。

【0029】以上の設定は、ライトアドレス信号を出力する場合のものである。リードアドレス信号を出力する場合は、スイッチ19のみをオンとして加算値データAd 3～Ad 0の最下位ビットのみを「1」とすることによる。この場合、インクリメントデータがリードアドレス信号として出力されるようになっている。

【0030】また、アドレス発生回路12へ入力されるLDはRAM 11へのデータの書き込み／読み出しを開始する際のロード信号、ENはイネーブル信号、CLKはクロック信号、RSTはリセット信号である。

【0031】アドレス発生回路12は、2組の4ビットのデータを加算する加算器（ADD）27と、4ビット

のダウンカウンタ（DCT）28と、4ビットのアップカウンタ（UCT）28と、2組の4ビットのデータの何れか1組を選択するセクタ（SEL）30と、4ビットのフリップフロップ（FF）31と、一入力端が反転端となった4入力タイプのオア回路32と、2入力タイプのアンド回路33及び34と、一入力端が反転端となった2入力タイプのアンド回路35とを有して構成されている。

【0032】ADD 27は、ライトアドレス信号として出力されるアドレス信号Aw r 3～Aw r 0の値を行数mに対応した数だけスキップさせながら加算するためのものであり、一方の組のデータ入力端b 3～b 0に加算値データAd 3～Ad 0が入力され、他方の組のデータ入力端A 3～A 0にFF 31の出力端Q 3～Q 0から出力されるアドレス信号Aw r 3～Aw r 0が入力されるようになっている。

【0033】DCT 28は、ライトアドレス信号として出力されるアドレス信号Aw r 3～Aw r 0の値を行数mに対応した数だけスキップさせながら加算する回数（列数n）を制限するためのものであり、データ入力端d 3～d 0に加算回数データCT 3～CT 0が入力され、反転端となっているロード端Lにアンド回路35の出力データが入力され、クロック端にクロック信号CLKが、イネーブル端ENにイネーブル信号ENが入力され、リセット端Rにはリセット信号RSTが入力され、また、キャリー入力端C Iが「H」レベルに固定されている。

【0034】アンド回路35の反転入力端にはDCT 28のキャリー出力端C Oから出力されるキャリー信号C O 1が入力され、他入力端にはロード信号LDが入力されるようになっている。

【0035】UCT 29は、ライトアドレス信号として出力されるアドレス信号Aw r 3～Aw r 0の値が行数mに対応した数だけスキップさせられながら加算され、この加算回数が列数nと同数となった際に、アドレス信号Aw r 3～Aw r 0の値が次の行の先頭に移行するようにするためのものである。

【0036】このUCT 29は、4～2ビット目までのデータ入力端d 3～d 1が「L」レベルに固定され、1ビット目のデータ入力端d 0が「H」レベルに固定され、反転端となっているロード端Lにロード信号LDが入力され、クロック端にクロック信号CLKが、イネーブル端ENにイネーブル信号ENが、キャリー入力端C Iにキャリー信号C O 1が、リセット端Rにはリセット信号RSTが入力されるようになっている。

【0037】SEL 30は、アンド回路33の出力データが「L」レベルの際に、一方の組みの入力端A 3～A 0に供給されるADD 27の出力端S 3～S 0からの出力データAS 3～AS 0を選択し、アンド回路33の出力データが「H」レベルの際に、他方の組みの入力端b

3～b0に供給されるUCT29の出力端Q3～Q0からの出力データUQ3～UQ0を選択して出力するようになっている。

【0038】アンド回路33の一入力端には、キャリア信号CO1が入力され、他入力端にはオア回路32の出力データが入力されるようになっている。またオア回路32の反転入力端には加算値データAd0が、他の3つの入力端には加算値データAd3～Ad1が入力されるようになっている。

【0039】FF31は、入力端d3～d0に供給されるSEL30の出力端S3～S0からの出力データSS3～SS0を、クロック信号CLKでトリガして保持し、この保持されたデータをアドレス信号Aw3～Aw0としてRAM11のアドレス端AD3～AD0へ出力するものであり、イネーブル端にイネーブル信号ENが、クロック端CKにクロック信号CLKが、リセット端Rにアンド回路34の出力データが入力されるようになっている。

【0040】アンド回路34の一入力端にはロード信号LDが入力され、他入力端にはリセット信号RSTが入力されるようになっている。このような構成のインターリーブ回路において3×4のインターリーブ（図5参照）を行う場合の動作を図3のタイミングチャートを参照して説明する。

【0041】但し、図3において、DCT28のカウント値とUCT29の出力データUQ3～UQ0は10進数、ADD27の出力データAS3～AS0、SEL30の出力データSS3～SS0、及びアドレス信号Aw3～Aw0は16進数（HEX）で表現する。

【0042】最初に書き込み動作を説明する。書き込みの場合、m=3、n=4なので、設定加算値Mを3、設定加算回数Nを3に設定する。即ち、アドレス加算値設定部13のスイッチ18、19をオンとし、アドレス加算回数設定部14のスイッチ23、24をオンとする。これによって、加算値データAd3～Ad0とが上位ビットから順に「0011」となり、加算回数データCT3～CT0が「0011」になる。

【0043】時刻t1において、リセット信号RSTが「L」レベルから「H」レベルとなる。時刻t2において、ロード信号LDが「L」レベルとなると、アンド回路34の出力データが「L」レベルとなり、これによりFF31がリセットされてアドレス信号Aw3～Aw0が「0」となる。そして、RAM11には、その「0」のアドレスの記憶領域に入力データDiが書き込まれて記憶される。

【0044】ロード信号LDが「L」レベルの状態、時刻t3において、クロック信号CLKのエッジが立ち上がると、DCT28に加算値データAd3～Ad0の「3」がロードされてDCT28のキャリア信号CO1が「L」レベルとなり、UCT29に固定値「1」がロ

ードされてUCT29の出力データUQ3～UQ0が「1」となる。

【0045】この時、ADD27は加算値データAd3～Ad0の「3」とアドレス信号Aw3～Aw0の「0」とを加算して、「3」のデータAS3～AS0を出力しているので、キャリア信号CO1が「L」レベルとなるとアンド回路33の出力データが「L」レベルとなり、SEL30が「3」のデータAS3～AS0を選択し、データSS3～SS0として出力する。

【0046】時刻t4においてロード信号LDが「H」レベルとなり、イネーブル信号ENが「H」レベルとなった後、時刻t5において、クロック信号CLKのエッジが立ち上がると、この立ち上がりエッジによってDCT28がダウンカウントし、カウント値が「3」から「2」となり、またFF31がトリガされ、SEL30の出力データSS3～SS0の「3」が保持される。これによってアドレス信号Aw3～Aw0が「3」となる。RAM11には、その「3」のアドレスの記憶領域に入力データDiが記憶される。

【0047】また、アドレス信号Aw3～Aw0の「3」はADD27に入力されるので、この「3」と加算値データAd3～Ad0の「3」とが加算され、ADD27の出力データAS3～AS0は「6」となる。キャリア信号CO1は「L」レベルのままなので、SEL30はその「6」を選択し、SEL30の出力データSS3～SS0が「6」となる。

【0048】時刻t6において、クロック信号CLKの立ち上がりエッジによってDCT28がダウンカウントして「2」から「1」となり、またFF31がトリガされ、データSS3～SS0の「6」が保持される。これによってアドレス信号Aw3～Aw0が「6」となり、RAM11には、その「6」のアドレスの記憶領域に入力データDiが記憶される。

【0049】また、アドレス信号Aw3～Aw0の「6」はADD27に入力され、データAS3～AS0が「9」となり、この「9」を選択するSEL30の出力データSS3～SS0が「9」となる。

【0050】時刻t7において、クロック信号CLKの立ち上がりエッジによってDCT28がダウンカウントして「1」から「0」となり、またFF31がトリガされ、データSS3～SS0の「9」が保持される。これによってアドレス信号Aw3～Aw0が「9」となり、RAM11には、その「9」のアドレスの記憶領域に入力データDiが記憶される。

【0051】また、アドレス信号Aw3～Aw0の「9」はADD27に入力され、データAS3～AS0が「C」となる。DCT28は「0」となっているので、キャリア信号CO1が「H」レベルとなり、これによりアンド回路33の出力データが「H」レベルとなって、SEL30がUCT29の出力データUQ3～UQ

0の「1」を選択する。この結果SEL30の出力データSS3～SS0は「1」となる。

【0052】時刻t8において、クロック信号CLKの立ち上がりエッジによってDCT28がダウンカウントして「0」から「3」となり、またFF31がトリガされ、データSS3～SS0の「1」が保持される。これによってアドレス信号Awr3～Awr0が「1」となり、RAM11には、その「1」のアドレスの記憶領域に入力データDiが記憶される。

【0053】また、アドレス信号Awr3～Awr0の「1」はADD27に入力され、データAS3～AS0が「4」となる。DCT28は「3」となっているので、キャリー信号CO1が「L」レベルとなり、これによりSEL30がADD27の出力データAS3～AS0の「4」を選択する。この結果SEL30の出力データSS3～SS0は「4」となる。またUCT29はキャリー信号CO1が「L」レベルとなることにより「1」から「2」へアップカウントし、これによってデータUQ3～UQ0が「2」となる。

【0054】以降同様にクロック信号CLKのエッジが立ち上がる毎にアドレス信号Awr3～Awr0の値が「4」、「7」、「A」、「2」、「5」、「8」、「B」と変化し、それら値が示すアドレスの記憶領域に入力データDiが記憶される。

【0055】そして、時刻t9において、イネーブル信号ENが「L」レベルとなると、書き込み動作が終了する。次に、読み出し動作を説明する。読み出しの場合、設定加算値Mを「1」とし、設定加算回数Nを任意値とする。

【0056】即ち、アドレス加算値設定部13においてはスイッチ19のみをオンとするので、加算値データAd3～Ad0が「0001」となる。従ってオア回路32の出力データは「L」レベルに固定されるので、アンド回路33の出力データが「L」レベルとなり、SEL30がADD27の出力データAS3～AS0のみを選択する状態に固定される。

【0057】この状態で、クロック信号CLKが順次供給されると、ADD27、SEL30、及びFF31を巡回する回路は「1」のみを累積加算するアキュムレータの動作を行い、この結果、「0, 1, 2, 3, 4,

…、B」がリードアドレス信号Awr3～Awr0としてRAM11へ出力され、それらアドレスに記憶されたデータが出力データDoとして出力される。

【0058】以上説明したように、 $m \times n$ のインターリーブに応じて設定加算値M及び設定加算回数Nを設定することによって、複数種類の $m \times n$ のインターリーブを行うためのリード／ライトアドレス信号を1つのアドレス発生回路12で発生することができ、また、記憶手段をシングルポートRAMで実現することができるので、回路全体を従来よりもかなり小型にすることが可能である。

【0059】また、アドレス発生回路12はの遅延はRAMのアクセススピードよりもずっと小さいので、最小アクセスサイクルはRAMのアクセススピードにより決定されることになり、RAMのアクセスサイクルを満足するだけの高速サイクルでの動作が可能となる。

【0060】

【発明の効果】以上説明したように、本発明のインターリーブ回路によれば、小規模で複数種類のインターリーブを行うことができる効果がある。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の一実施例によるインターリーブ回路の構成を示す回路図である。

【図3】図2の動作を説明するためのタイミングチャートである。

【図4】従来のインターリーブ回路の構成を示す回路図である。

【図5】 $3 \times 4$ のインターリーブを説明するための図である。

【図6】 $2 \times 6$ のインターリーブを説明するための図である。

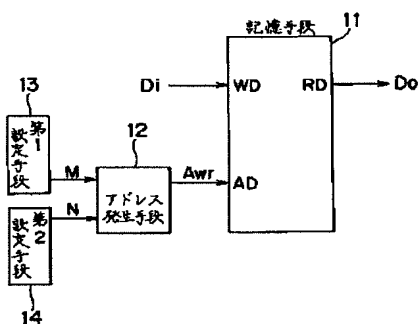
【図7】 $4 \times 3$ のインターリーブを説明するための図である。

【符号の説明】

- 11 記憶手段
- 12 アドレス発生手段
- 13 第1設定手段
- 14 第2設定手段

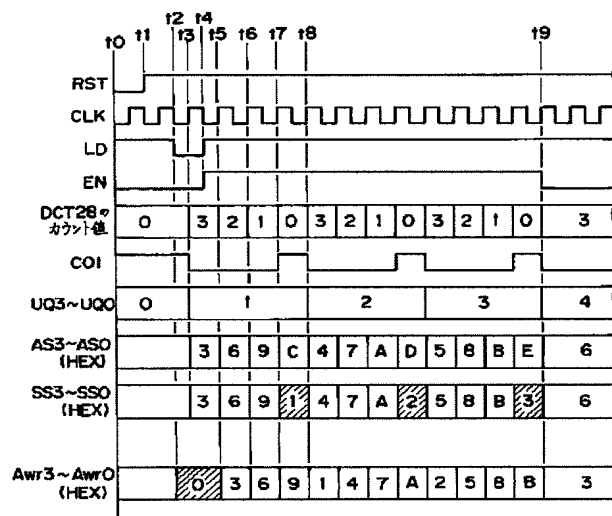
【図1】

本発明の原理図



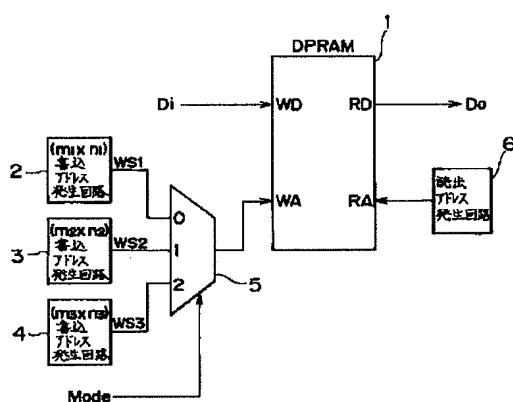
【図3】

図2の動作タイミングチャート



【図4】

従来例図



【図5】

3×4インターリーブ説明図

	書き込み			
読み出し	0	3	6	9
	1	4	7	A
	2	5	8	B

【図6】

2×6インターリーブ説明図

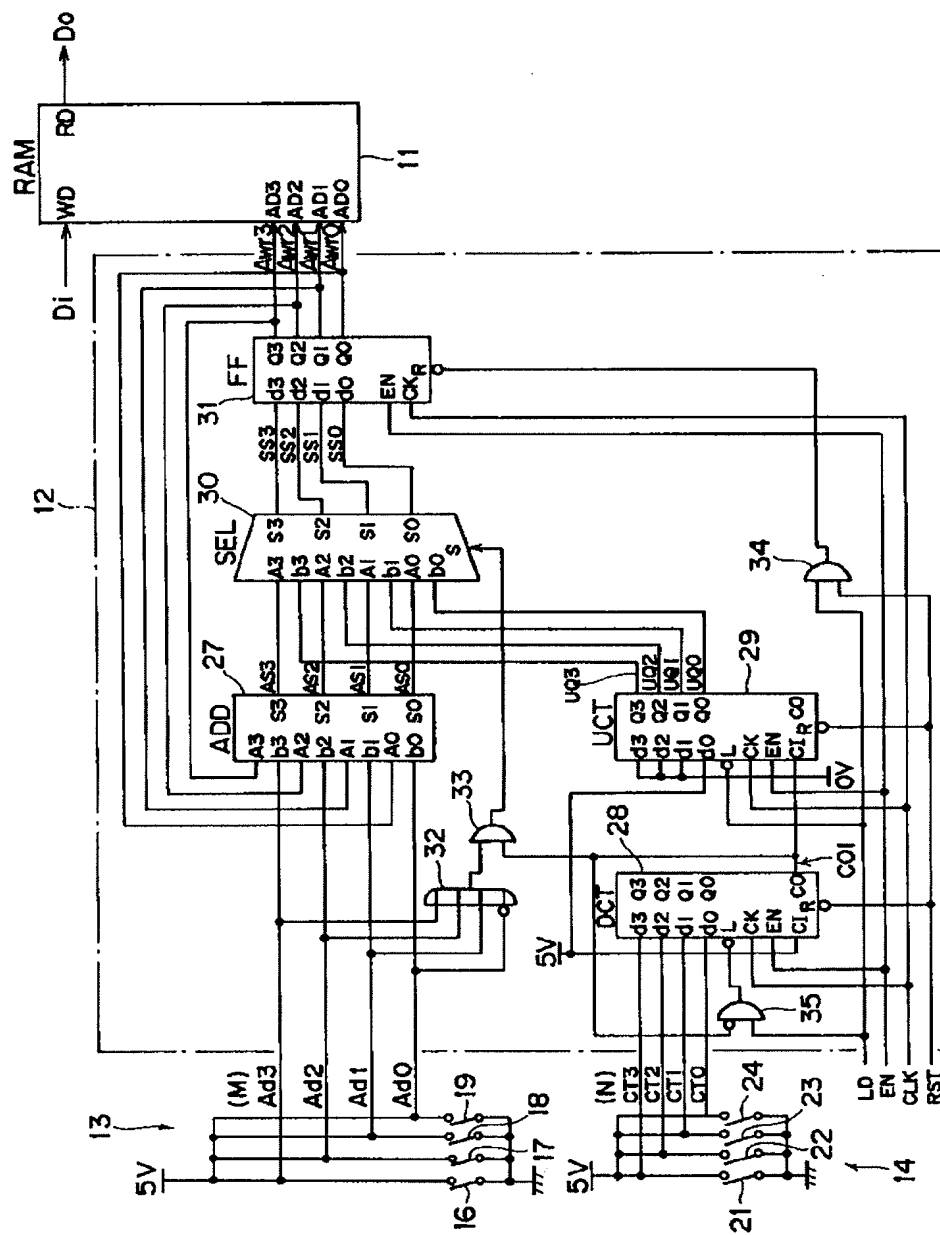
	書き込み					
読み出し	0	2	4	6	8	A
	1	3	5	7	9	B

【図7】

4×3インターリーブ説明図

	書き込み		
読み出し	0	4	8
	1	5	9
	2	6	A
	3	7	B

### 实施例四





# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-212250

(43)Date of publication of application : 11.08.1995

---

(51)Int.Cl.

H03M 13/22

H04B 14/04

H04L 1/00

---

(21)Application number : 06-001310 (71)Applicant : FUJITSU LTD

(22)Date of filing : 11.01.1994 (72)Inventor : SAITO YASUHIRO

---

## (54) INTERLEAVE CIRCUIT

(57)Abstract:

PURPOSE: To provide an interleave circuit for conducting plural kinds of interleaves with small scale.

CONSTITUTION: This circuit is provided with a first setting means 13 for setting a first set value M as a numerical value corresponding to (m) in the matrix of (m) pieces of rows and (n) pieces of columnssecond setting means 14 for setting a second set value N as a numerical value corresponding to (n)and address generating means 12 for successively conducting arithmetic to accumulatively add the M as many as times corresponding to a numerical value subtracting '1' from N to an initial value at the first column and the first row of the matrix and the respective numerical values provided by accumulatively adding '1' to the initial value defining a sequence provided by performing this arithmetic until a numerical value subtracting '1' from (m) is added to the initial value as an address signal Awr for write and defining a sequence composed of the initial value and respective numerical values successively provided by accumulatively adding '1' to the initial value as many as times corresponding to the numerical value subtracting '1' from the arithmetic result of mxn in the case of setting a certain decided numerical value as Mas an address signal Awr for read.

---

## CLAIMS

---

[Claim(s)]

[Claim 1]Are the number of lines mx row number n characterized by comprising the followingand follow each sequence downward from a top from the 1st line of the 1st rowand "1" every to the m-th line of the n-th row a numerical value in a procession in which an increasing numerical value was arrangedTrace from the 1st row to the n-th column directionand the data Di is written in a memory measure

(11) using a numerical value acquired one by one by shifting every one line of this trace and performing it from the 1st line to the n-th line as a write address signal. A numerical value in this procession is traced from the 1st line to the n-th line writing direction. An interleave circuit which performs interleave of reading data written in this memory measure (11) using a numerical value acquired one by one by shifting every one line of this trace and performing it from the 1st row to the m-th row as a read address signal.

The 1st preset value (M) that is a numerical value corresponding to said number m of lines. A 1st setting-out means (13) to set up

The 2nd preset value (N) that is a numerical value corresponding to said row number n. A 2nd setting-out means (14) to set up

this 2nd preset value (N) from -- the number of times corresponding to a numerical value which subtracted "1" -- this 1st preset value (M). An operation which carries out accumulation. It carries out one by one to each numerical value acquired by carrying out accumulation of "1" to an initial value and this initial value of the 1st line of said 1st row. An address signal (Awr) corresponding to said write address signal for a sequence of numbers which are obtained by carrying out until a numerical value which subtracted "1" from this number m of lines is added to this initial value in this. It outputs by carrying out a defined numerical value which is this 1st setting-out means (13) is this 1st preset value (M). When set up by carrying out. An address generating means (12) which outputs a sequence of numbers by each numerical value from which only the number of times corresponding to this initial value and a numerical value which subtracted "1" from the result of an operation of this number of lines  $m \times$  this row number n carries out accumulation of "1" to this initial value and is obtained one by one as an address signal (Awr) corresponding to said read address signal.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to an interleave circuit. This interleave circuit is used for a communication terminal device etc.

In order to distribute the error of the data by which it is generated in the shape of a burst under the influence of a noise etc. interleave / DEINTERLEAVE is performed.

[0002] A communication terminal device is in the tendency of small size and a weight saving every year. The tendency of especially a car telephone machine, a portable telephone etc. etc. is remarkable and the rapid miniaturization is carried out. For this reason, the composition which the interleave circuit built in a communication apparatus is also small-scale and can realize it is demanded.

[0003]

[Description of the Prior Art]The composition of the conventional interleave circuit is shown in drawing 4 and the explanation is given. The interleave circuit shown in this figure is used for a communication terminal for example. According to communicate mode three kinds of interleaving  $m_1 \times n_1$ ,  $m_2 \times n_2$  and  $m_3 \times n_3$  are performed.

[0004]Interleave of  $m \times n$  for example interleave of  $3 \times 4$  Each numerical value of the procession table of three lines x four rows shown in drawing 5 is traced in a right transverse direction from the left The sequence of numbers which shifted to every one lower line and arranged this trace one by one from the top 0369147A25 and 8B (hexadecimal number) are made into the write address signal of a storage device Specify the address of a storage device by this signal and input data is written in The sequence of numbers which traced each numerical value of the procession table from the top to the lower lengthwise direction shifted to the right and arranged this trace one by one from the left 0123456789A and B (increment data) are made into a read address signal the data previously memorized by the storage device by this signal is read and it is considered as output data.

[0005]As for a dual port RAM (DPRAM) and 23 and 4 in drawing 4a selector and 6 are read address generation circuits a write-address generation circuit and 5 1. Generate the write-address generation circuit 2 and write address signal WS1 for interleaving  $m_1 \times n_1$  the write-address generation circuit 3 Generating write address signal WS2 for interleaving  $m_2 \times n_2$  the write-address generation circuit 4 generates write address signal WS3 for interleaving  $m_3 \times n_3$ .

[0006]The selector 5 chooses any one of write address signal WS1 WS2 and the WS3 according to the mode recognition signal Mode and outputs it to the write address signal input end WA of DPRAM1.

[0007]The read address generation circuit 6 outputs read address signal RA1. However read address signal RA1 is increment data of 0123---9AB and --- (hexadecimal number).

[0008]DPRAM1 memorizes the input data Di according to write address signal WS1 inputted from one port WS2 and WS3 and it outputs it as the output data Do according to read address signal RA1 into which this stored data is inputted from the port of another side.

[0009]For example interleave  $3 \times 4$  in the 1st mode and shall perform  $2 \times 6$  in the 2nd mode and  $4 \times 3$  shall be interleaved in the 3rd mode. The write-address generation circuit 2 generates the write address signal for interleaving  $4 \times 3$  The write-address generation circuit 3 shall generate the write address signal for interleaving  $2 \times 6$  and the write-address generation circuit 4 shall generate the write address signal for interleaving  $4 \times 3$ .

[0010]Interleave of  $3 \times 4$  specifies the address of DPRAM1 by write address signal WS1 of the sequence of numbers of 0369147A25 and 8B (hexadecimal number) which are called for from the procession table shown in drawing 5 and writes in the input data Di It reads by read address signal RA1 of increment data asked for this written-in data from a companion sequence table and is considered as the output

data Do.

[0011]Interleave of 2x6 specifies the address of DPRAM1 by write address signal WS2 of the sequence of numbers of 02468A1357 and 9B (hexadecimal number) which are called for from the procession table shown in drawing 6 and writes in the input data Di it reads by read address signal RA1 asked for this written-in data from a companion sequence table and is considered as the output data Do.

[0012]Interleave of 4x3 specifies the address of DPRAM1 by write address signal WS3 of the sequence of numbers of 04815926A3 and 7B (hexadecimal number) which are called for from the procession table shown in drawing 7 and writes in the input data Di it reads by read address signal RA1 asked for this written-in data from a companion sequence table and is considered as the output data Do.

[0013]That is in the interleave circuit shown in drawing 4 write address signal WS1 WS2 and WS3 are chosen according to the mode recognition signal Mode by the selector 5 and the input data Di is memorized by DPRAM1 with this selected write address signal. And it is read by read address signal RA1 as the output data Do.

[0014]Thus since the error of the data by which it is continuously generated by interleaving can be distributed the error correction after interleave processing can be performed correctly. When the error is continuing it becomes impossible to perform an error correction correctly.

[0015]

[Problem(s) to be Solved by the Invention] In [ as mentioned above ] the conventional interleave circuit writes in one port using DPRAM1 and so that control may not become complicated for exclusive use. When the port of another side was made read-only and it is controlled by the separate address generation circuit of writing/read-out and two or more kinds of interleave was performed the composition which possesses the write-address generation circuits 2-4 for exclusive use corresponding to each interleave and is changed by the selector 5 was taken.

[0016] If it is in the composition which uses such DPRAMs since the number of control signals increases when DPRAM is used as external RAM a package (based on both LSI and RAM) will become large. When DPRAM is considered as LSI built-in the gate number of a circuit will become large. The address generation circuit for a dual port is required. When performing two or more kinds of interleave the address generation circuit of the number corresponding to the kind is required.

[0017] The conventional interleave circuit has a problem which becomes large-scale from the above thing. This invention is made in view of such a point it is small-scale and an object of this invention is to provide the interleave circuit which can perform two or more kinds of interleave.

[0018]

[Means for Solving the Problem] A principle figure of an interleave circuit of this invention is shown in drawing 1. An interleave circuit is the number of lines m x row number n and follow each sequence downward from a top from the 1st line of the 1st row and "1" every to the m-th line of the n-th row a numerical value in a

procession in which an increasing numerical value was arranged Trace from the 1st row to the n-th column direction and the data  $D_i$  is written in a memory measure (11) using a numerical value acquired one by one by shifting every one line of this trace and performing it from the 1st line to the n-th line as a write address signal. A numerical value in this procession is traced from the 1st line to the n-th line writing direction. Interleave of reading data written in this memory measure (11) using a numerical value acquired one by one as a read address signal is performed by shifting every one line of this trace and performing it from the 1st row to the m-th row.

[0019] A 1st setting-out means 13 to set up the 1st preset value M that is a numerical value corresponding to the number m of lines which the feature of this invention described above. A 2nd setting-out means 14 to set up the 2nd preset value N that is a numerical value corresponding to the row number n. An operation in which only the number of times corresponding to a numerical value which subtracted "1" from the 2nd preset value carries out accumulation for the 1st preset value M said -- it carried out -- it carrying out one by one and to each numerical value acquired by carrying out accumulation of "1" to an initial value and an initial value of the 1st line of the 1st row in a procession. It outputs as the address signal Awr corresponding to a write address signal which described above a sequence of numbers which are obtained by carrying out until a numerical value which subtracted "1" from the number m of lines is added to an initial value in this. When a defined numerical value which is the 1st setting-out means 13 is set up as the 1st preset value M. Only the number of times corresponding to an initial value and a numerical value which subtracted "1" from the result of an operation of the number of lines  $m \times$  row number n carries out accumulation of "1" to an initial value. It is in providing the address generating means 12 outputted as the address signal Awr corresponding to a read address signal which described above a sequence of numbers by each numerical value acquired one by one and being constituted.

[0020]

[Function] In this invention mentioned above, the address signal Awr common to read/write can be outputted from the address generating means 12.

Therefore, the memory measure 11 can be set to single port RAM.

Even when performing two or more kinds of interleave, it can respond by the one address generating means 12 by setting up the 1st and 2nd preset values M and N corresponding to the number m of lines and the row number n by the 1st and 2nd setting-out means.

[0021] The dual port RAM had to be used conventionally and the write address signal and the read address signal were generated by another generating means and further, when two or more kinds of interleave was performed, the write address signal generation means of the number according to the number of kinds had to be used.

[0022] Since it will become smaller than before so that single port RAM is a size of  $1/2 - 1/3$  of a dual port RAM and the number of kinds of the address generating means 12 of interleave increases if RAM is compared in this invention, the whole

circuit can be made very small.

[0023] Even if the value of  $m$  and  $n$  is changed by use change it can respond easily.

[0024]

[Example] Hereafter one example of this invention is described with reference to drawings. Drawing 2 is a circuit diagram showing the composition of the interleave circuit by one example of this invention.

[0025] As for single port RAM (henceforth RAM) and 12 in this figure an address aggregate value set part and 14 are number-of-times set parts of address addition an address generation circuit and 13 11.

[0026] According to the number of times  $N$  of setting-out addition set up by the setting-out aggregate value  $M$  set up by the address aggregate value set part 13 and the number-of-times set part 14 of address addition the address generation circuit 12 The address signals  $Awr3-Awr0$  of both a light / lead for interleaving  $m \times n$  explained by the conventional example are outputted to the address signal input edges  $AD3-AD0$  of RAM 11.

[0027] However the setting-out aggregate value  $M$  supports the number  $m$  of lines and is set up by the address aggregate value set part 13 as the 4-bit aggregate value data  $Ad3-Ad0$ . When this setting out is performed by ON and OFF of each switches 16 17 18 and 19 for example it sets the setting-out aggregate value  $M$  as "4" only the switch 17 is considered as one and it is made for the aggregate value data  $Ad3-Ad0$  to be set to "0100" from a high order bit at order.

[0028] The number of times  $N$  of setting-out addition supports the row number  $n-1$  and is set up by the number-of-times set part 14 of address addition as the 4-bit number-of-times data  $CT3-CT0$  of addition. When this setting out is performed by ON and OFF of each switches 21 22 23 and 24 for example it sets the number of times  $N$  of setting-out addition as "2" only the switch 23 is considered as one and it is made for the aggregate value data  $CT3-CT0$  to be set to "0010" from a high order bit at order.

[0029] The above setting out is a thing in the case of outputting a write address signal. When outputting a read address signal it is because only the least significant bit of the aggregate value data  $Ad3-Ad0$  is set to "1" by considering only the switch 19 as one. In this case increment data are outputted as a read address signal.

[0030] As for the load signal at the time of LD inputted into the address generation circuit 12 starting writing/read-out of the data of RAM 11 and  $ENa$  a clock signal and RST of an enable signal and CLK are reset signals.

[0031] The adding machine (ADD) 27 with which the address generation circuit 12 adds 2 sets of 4-bit data The 4 bits down counter (DCT) 28 and the 4-bit rise counter (UCT) 28 The selector (SEL) 30 which chooses any 1 set of 2 sets of 4-bit data It has the 4-bit flip-flop (FF) 31 OR circuit 32 of 4 input type with which one input edge turned into a reversal end 2 input type AND circuits 33 and 34 and AND circuit 35 of 2 input type with which one input edge turned into a reversal end and is constituted.

[0032] ADD 27 is for adding while only the number corresponding to the number  $m$  of

lines makes the value of the address signals Awr3–Awr0 outputted as a write address signal skip.

The aggregate value data Ad3–Ad0 is inputted into the data input terminals b3–b0 of one group and the address signals Awr3–Awr0 outputted to data-input-terminals A3 of the group of another side – A0 from the outgoing ends Q3–Q0 of FF31 are inputted.

[0033] DCT28 is for restricting the number of times (row number n) added while only the number corresponding to the number m of lines makes the value of the address signals Awr3–Awr0 outputted as a write address signal skip.

The number-of-times data CT3–CT0 of addition is inputted into the data input terminals d3–d0. The output data of AND circuit 35 is inputted into the load end L used as a reversal end. The clock signal CLK is inputted into a clock end. The enable signal EN is inputted into the enabling end EN and the reset signal RST is inputted into reset terminal R and carry input edge CI is being fixed to the “H” level.

[0034] Carry signal CO1 outputted from carry outgoing end CO of DCT28 is inputted into the inverted input end of AND circuit 35 and load signal LD is inputted into other input edges.

[0035] UCT29 is added while the value of the address signals Awr3–Awr0 outputted as a write address signal is made to skip only the number corresponding to the number m of lines. When this number of times of addition turns into the row number n and the same number it is for the value of the address signals Awr3–Awr0 to be made to shift to the head of the following line.

[0036] This UCT29 the data input terminals d3–d1 up to the 4–2nd bit are fixed to the “L” level. The bit [ 1st ] data input terminals d0 are fixed to the “H” level and load signal LD is inputted into the load end L used as a reversal end. A clock end — the clock signal CLK — the reset signal RST is inputted [ the enable signal EN ] into the enabling end EN for carry signal CO1 at reset terminal R at carry input edge CI.

[0037] The output data of AND circuit 33 SEL30 in the case of the “L” level. The output data AS3–AS0 from the outgoing ends S3–S0 of ADD27 supplied to input edge A3 which one side constructs – A0 is chosen. In the case of the “H” level the output data of AND circuit 33 chooses the output data UQ3–UQ0 from the outgoing ends Q3–Q0 of UCT29 supplied to the input edges b3–b0 which another side constructs and outputs to it.

[0038] Carry signal CO1 is inputted into one input edge of AND circuit 33 and the output data of OR circuit 32 is inputted into other input edges. Aggregate value data Ad0 is inputted into the inverted input end of OR circuit 32 and the aggregate value data Ad3–Ad1 is inputted into other three input edges.

[0039] FF31 the output data SS3–SS0 from the outgoing ends S3–S0 of SEL30 supplied to the input edges d3–d0. With the clock signal CLK a trigger is carried out and it holds and outputs to the address ends AD3–AD0 of RAM11 by making this held data into the address signals Awr3–Awr0.

The enable signal EN inputs the clock signal CLK into an enabling end it is inputted into clock end CK and the output data of AND circuit 34 is inputted into reset terminal R.

[0040] Load signal LD is inputted into one input edge of AND circuit 34 and the reset signal RST is inputted into other input edges. The operation in the case of interleaving 3x4 in the interleave circuit of such composition (refer to drawing 5) is explained with reference to the timing chart of drawing 3.

[0041] However in drawing 3a decimal number the output data AS3-AS0 of ADD27 and the output data SS3-SS0 of SEL30 express the counted value of DCT28 and the output data UQ3-UQ0 of UCT29 and the address signals Awr3-Awr0 are expressed in hexadecimal numbers (HEX).

[0042] Writing operation is explained first. Since it is  $m=3$  and  $n=4$  in writing 3 and the number of times N of setting-out addition are set as 3 for the setting-out aggregate value M. That is the switches 18 and 19 of the address aggregate value set part 13 are considered as one and the switches 23 and 24 of the number-of-times set part 14 of address addition are considered as one. By this the aggregate value data Ad3-Ad0 is set to "0011" from a high order bit at order and the number-of-times data CT3-CT0 of addition is set to "0011."

[0043] In the time t1 the reset signal RST serves as the "H" level from the "L" level. In the time t2 if load signal LD serves as the "L" level the output data of AND circuit 34 serves as the "L" level FF31 will be reset by this and the address signals Awr3-Awr0 will be set to "0." And the input data Di is written in and memorized by RAM11 in the storage area of the address of "0."

[0044] In the state of the "L" level in the time t3 if the edge of the clock signal CLK rises load signal LD of the aggregate value data Ad3-Ad0 is loaded to DCT28 carry signal CO1 of DCT28 is set to the "L" level the fixed value "1" is loaded to UCT29 and the output data UQ3-UQ0 of UCT29 is set to "1."

[0045] Since ADD27 adds "0" of "3" and the address signals Awr3-Awr0 of the aggregate value data Ad3-Ad0 and the data AS3-AS0 of "3" is outputted at this time if carry signal CO1 is set to the "L" level the output data of AND circuit 33 will serve as the "L" level and SEL30 chooses the data AS3-AS0 of "3" and outputs as the data SS3-SS0.

[0046] In the time t5 after load signal LD serves as the "H" level in the time t4 and the enable signal EN serves as the "H" level if the edge of the clock signal CLK rises DCT28 will carry out down counting by this rising edge and counted value will be set to "3" to "2" and the trigger of FF31 will be carried out and "3" of the output data SS3-SS0 of SEL30 will be held. The address signals Awr3-Awr0 are set to "3" by this. The input data Di is memorized by RAM11 in the storage area of the address of "3."

[0047] Since "3" of the address signals Awr3-Awr0 is inputted into ADD27 this "3" and "3" of the aggregate value data Ad3-Ad0 are added and the output data AS3-AS0 of ADD27 is set to "6." Since carry signal CO1 is still the "L" level SEL30 chooses the "6" and the output data SS3-SS0 of SEL30 is set to "6."



[0048]In the time  $t_6$  DCT28 carries out down counting by the rising edge of the clock signal CLK and it is set to "2" to "1" and the trigger of FF31 is carried out and "6" of the data SS3-SS0 is held. By this the address signals Awr3-Awr0 are set to "6" and the input data Di is memorized by RAM11 in the storage area of the address of "6."

[0049]"6" of the address signals Awr3-Awr0 is inputted into ADD27 and the data AS3-AS0 is set to "9" and the output data SS3-SS0 of SEL30 which chooses this "9" is set to "9."

[0050]In the time  $t_7$  DCT28 carries out down counting by the rising edge of the clock signal CLK and it is set to "1" to "0" and the trigger of FF31 is carried out and "9" of the data SS3-SS0 is held. By this the address signals Awr3-Awr0 are set to "9" and the input data Di is memorized by RAM11 in the storage area of the address of "9."

[0051]"9" of the address signals Awr3-Awr0 is inputted into ADD27 and the data AS3-AS0 is set to "C." Since DCT28 is "0" carry signal CO1 is set to the "H" level the output data of AND circuit 33 serves as the "H" level by this and SEL30 chooses "1" of the output data UQ3-UQ0 of UCT29. As a result the output data SS3-SS0 of SEL30 is set to "1."

[0052]In the time  $t_8$  DCT28 carries out down counting by the rising edge of the clock signal CLK and it is set to "0" to "3" and the trigger of FF31 is carried out and "1" of the data SS3-SS0 is held. By this the address signals Awr3-Awr0 are set to "1" and the input data Di is memorized by RAM11 in the storage area of the address of "1."

[0053]"1" of the address signals Awr3-Awr0 is inputted into ADD27 and the data AS3-AS0 is set to "4." Since DCT28 is "3" carry signal CO1 is set to the "L" level and thereby SEL30 chooses "4" of the output data AS3-AS0 of ADD27. As a result the output data SS3-SS0 of SEL30 is set to "4." When carry signal CO1 is set to the "L" level a rise count is carried out from "1" to "2" and as for UCT29 the data UQ3-UQ0 is set to "2" by this.

[0054]Whenever the edge of the clock signal CLK rises similarly hereafter the value of the address signals Awr3-Awr0 changes with "4" 7A258 and "B" and the input data Di is memorized in the storage area of the address which these values show.

[0055]And in the time  $t_9$  if the enable signal EN serves as the "L" level writing operation will be completed. Next read operation is explained. In read-out set the setting-out aggregate value M to "1" and let the number of times N of setting-out addition be an arbitrary value.

[0056]That is since only the switch 19 is considered as one in the address aggregate value set part 13 the aggregate value data Ad3-Ad0 is set to "0001." Therefore since the output data of OR circuit 32 is fixed to the "L" level the output data of AND circuit 33 serves as the "L" level and it is fixed to the state where SEL30 chooses only the output data AS3-AS0 of ADD27.

[0057]The circuit which will patrol ADD27 SEL30 and FF31 if the clock signal CLK is supplied one by one in this state operates the accumulator which carries out accumulation of "1" As a result 0, 1, 2, 3, 4, --, Bare outputted to RAM11 as the

read address signals Awr3–Awr0 and the data memorized to these addresses is outputted as the output data Do.

[0058] As explained above by setting up the setting-out aggregate value M and the number of times N of setting-out addition according to interleaving of  $m \times n$  Since the lead / write address signal for interleaving two or more kinds of  $m \times n$  can be generated in the one address generation circuit 12 and a memory measure can be realized by single port RAM it is possible to make the whole circuit quite smaller than before.

[0059] Since delay of address generation circuit 12 is much smaller than the access speed of RAM the minimum access cycle will be determined by the access speed of RAM and the operation of it only in the high-speed cycle with which it is satisfied of the access cycle of RAM is attained.

[0060]

[Effect of the Invention] As explained above according to the interleave circuit of this invention it is small-scale and effective in the ability to perform two or more kinds of interleave.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is a principle figure of this invention.

[Drawing 2] It is a circuit diagram showing the composition of the interleave circuit by one example of this invention.

[Drawing 3] It is a timing chart for explaining operation of drawing 2.

[Drawing 4] It is a circuit diagram showing the composition of the conventional interleave circuit.

[Drawing 5] It is a figure for explaining interleave of  $3 \times 4$ .

[Drawing 6] It is a figure for explaining interleave of  $2 \times 6$ .

[Drawing 7] It is a figure for explaining interleave of  $4 \times 3$ .

[Description of Notations]

11 Memory measure

12 Address generating means

13 The 1st setting-out means

14 The 2nd setting-out means

---